

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

2

62-90974

Apr. 25, 1987
MANUFACTURE OF MOSFET

L5: 1 of 1

INVENTOR: SEIICHIRO KAWAMURA
ASSIGNEE: FUJITSU LTD
APPL NO: 60-231947
DATE FILED: Oct. 16, 1985
PATENT ABSTRACTS OF JAPAN
ABS GRP NO: E543
ABS VOL NO: Vol. 11, No. 292
ABS PUB DATE: Sep. 19, 1987
INT-CL: H01L 29/78; H01L 21/265; H01L 29/60

ABSTRACT:

PURPOSE: To readily manufacture MOSFET of LDD structure without using anisotropic RIE unit by thermally oxidizing under high pressure a phosphorus-doped polysilicon layer.

CONSTITUTION: A field oxide film 2 and a gate oxide film 3 are formed by a P-type silicon substrate 1, a phosphorus-doped polysilicon layers are laminated to form a gate electrode 4, and an N.sup.- type layer 5 is formed on source, drain regions. Then, high pressure thermal oxidation is applied to the substrate to form a thick oxide film 10 on the phosphorus-doped polysilicon layer of the gate electrode. A thin oxide film 11 is formed on the bulk silicon region of source, drain regions. The film 11 on the bulk silicon is removed by isotropic etching the substrate. At this time, an N.sup.-.sup.1 type layer 12 remains on the region masked with the film 10 remaining on the sidewall of the gate electrode.

=>

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-90974

⑬ Int. Cl.⁴

H 01 L 29/78
21/265
29/60

識別記号

庁内整理番号

8422-5F
7738-5F

⑭ 公開 昭和62年(1987)4月25日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 MOSFETの製造方法

⑯ 特 願 昭60-231947

⑰ 出 願 昭60(1985)10月16日

⑱ 発 明 者 河 村 一 郎 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

MOSFETの製造方法

2. 特許請求の範囲

基板(11)上にゲート酸化膜(12)、次いで溝をドープするポリシリコン層よりなるゲート電極(14)を形成し、

次いで、基板のソース、ドレイン形成領域を選択的に露出せしめた後、

溝のイオン打込みを行い、更に高圧熱酸化により全面に酸化膜(16)を成長させる工程と、

等方性エッチングによりソース、ドレインのバルク・シリコン上の酸化膜(16)を除去する工程と、

ソース領域(18)、ドレイン領域(19)に酸素のイオン打込みを行う工程を含むことを特徴とするMOSFETの製造方法。

3. 発明の詳細な説明

(図要)

MOSFETでチャネル長が短くなり、サブミクロン領域となると、ホット・キャリア(Hot Carrier)効果の問題が避けられなくなるが、通常LDD(Lightly Doped Drain)構造により対策を行っている。本発明では高価な異方性RIB装置を使用しないLDD構造によるMOSFETの製造方法を説明する。

(産業上の利用分野)

本発明は、集積度の高いMOSFETで用いられるLDD構造のMOSFETの製造方法に関する。

集積度の向上に伴ってソース、ドレイン間のチャネル長は益々短縮化される傾向にあるが、チャネル長がサブミクロン領域となるとホット・キャリア効果を無視出来なくなる。特にnチャネルMOSFETで問題となる。

ホット・キャリア効果とは、ドレイン方向に向かったキャリアがドレイン領域の高電界に加速され充分なるエネルギーを得て、SiとSiO₂の電

位増望を乗り越えてゲート酸化膜内に注入される現象であり、しきい値電圧、その他相互コンダクタンス特性の変化をもたらす。

その解決のためLDD構造のMOSFETが提案されているが、この構造はプロセスとして異方性RIEを使用することが必要であり、設備として高価なRIE装置を使用せずにLDD構造を形成する製造方法が要望されている。

(従来の技術)

ホット・キャリア効果を改善するため、ゲート酸化膜を厚くしたり、ドレイン領域近傍の接合部の電界を弱くするため不純物の濃度分布に緩い傾斜を持たせる方法等がとられる。

LDD構造は後者のドレイン領域近傍の電界を緩和することを目的とした構造であって、その製造方法を第2図により更に詳しく説明する。

第2図(a)に示すごとく、通常のn-MOSFETのプロセスと同様にしてp型基板1上にフィールド酸化膜2、ゲート酸化膜3、ポリシリコンよ

りなるゲート電極4が形成された基板を用いる。

この状態に図に示すごとく場のイオン打込みによりソース、ドレイン領域に先ずn⁺層5を形成する。

次いで、CVD法により厚い酸化膜6を全面に成長させる。これを第2図(b)に示す。

上記の基板にRIE法により異方性エッチングを加える。異方性であるためゲート電極4の側壁面の酸化膜7を残して酸化膜6は除去される。

これに高濃度の砒素イオンの打込みを行ってソース領域8、ドレイン領域9を形成する。この状態を第2図(c)に示す。

最初の場のイオン打込みによって形成されたn⁺層5は低濃度であり、砒素のイオン打込み領域は高濃度で且つ酸化膜7の存在によってゲート電極より僅か離れた位置に形成される。

上記のごとく不純物の濃度に差異を設けることによりドレイン近傍領域の電界強度を著しく低下させることが出来る。

(発明が解決しようとする問題点)

上記に述べた、LDD構造によるホット・キャリア効果対策は、その製造プロセスとしてRIE法を用いていることである。

異方性のRIE法は最近ではドライ・エッチング法として使用が多くなっているが、装置は比較的、高価であり、量産性を考えたとき出来れば一般的な等方性エッチングで製作可能なることが望ましい。

(問題点を解決するための手段)

上記問題点は下記工程よりなる本発明の製造方法によって解決される。

基板の上にゲート酸化膜、次いで場をドーピングするポリシリコン層を積層し、パターンニングによりゲート電極を形成する。

次いで、ソース、ドレイン領域をパターンニングにより基板を露出せしめた後、場のイオン打込みを行い、更に高圧熱酸化により全面に酸化膜を成長させる。

次いで、等方性エッチングによりソース、ドレインのバルク・シリコン上の酸化膜を除去して、ソース、ドレイン領域に砒素のイオン打込みを行うことによりドレイン領域近傍では不純物濃度に傾斜が形成されて、電界強度を弱くすることが出来る。

(作用)

場をドーピングするポリシリコン層を高圧熱酸化させると、その酸化膜の膜厚は通常のバルク・シリコンの酸化膜の膜厚の4~5倍と大きくなる。

そのため、その後等方性エッチングを加えた場合でも、ゲート電極の側壁面の酸化膜は残存し、ソース、ドレイン領域のバルク・シリコン面上の酸化膜は除去出来る。

この結果、ゲート電極側壁面の酸化膜は、砒素のイオン打込み時にはマスクとなって不純物の導入領域に傾斜特性を形成することになる。

(実施例)

本発明の一実施例を図面により詳細説明する。
第1図(a)~(e)は本発明の製造方法を示す工程順断面図である。通常のMOSFETのプロセスと変わらない工程は説明を省略化する。

第1図(a)はp型シリコン基板1を用い、フィールド酸化膜2、ゲート酸化膜3を形成した後、場ドープのポリシリコン層を積層してパターンニングによりゲート電極4を形成した状態を示す。

上記のプロセスでは場ドープのポリシリコンを使用する以外は通常のMOSFETプロセスと変わらない。

次いで、ソース、ドレイン領域に場のイオン打込みを行う。打込みは80 KeVにてドーザ量は、 $1 \times 10^{13}/\text{cm}^2$ とする。これによりソース、ドレイン領域に n^+ 層5が形成される。

次いで、上記基板に高圧熱酸化を加える。約10気圧の圧力槽に基板を入れ、基板温度を約900℃に上昇することによりゲート電極の場ドープ・ポリシリコン層には厚い酸化膜10が形成される。

一方、ソース、ドレイン領域のバルク・シリコン領域は酸化速度が遅いので薄い酸化膜11が形成される。このような高圧酸化の条件では、場ドープ・ポリシリコンの酸化膜の成長速度はバルク・シリコンの酸化速度の4~5倍となる。高圧酸化後の状態を第1図(b)に示す。

上記の基板を等方性エッチング、即ちウエット・エッチングによりバルク・シリコン上の酸化膜11を除去する。このときゲート電極の被覆せる酸化膜10は、膜厚が大であるので殆ど残る。

この状態で低電圧のイオン打込みを行って高濃度の n^+ 層を形成し、ソース領域8、ドレイン領域9を形成する。低電圧のイオン打込みは120 KeV、ドーザ量は $1 \times 10^{13}/\text{cm}^2$ とする。

このときゲート電極の側壁面に残された酸化膜10にマスクされた領域には n^+ 層12が残される。これを第1図(c)に示す。

この残された n^+ 層が動作時の電界強度を緩和し、ホット・キャリア効果を抑える機能を持つ。以後の配線層の形成、保護膜の形成等のプロセス

は省略する。

(発明の効果)

以上に説明せるごとく、本発明の製造方法を適用することにより異方性のPIE装置を使用せず、容易にLDD構造のMOSFETを製作することが可能となった。

4. 図面の簡単な説明

第1図(a)~(e)は本発明にかかわるLDD構造のMOSFETの製造方法を示す工程順断面図、
第2図(a)~(e)は従来の方法によるLDD構造のMOSFETの製造方法を示す工程順断面図、を示す。

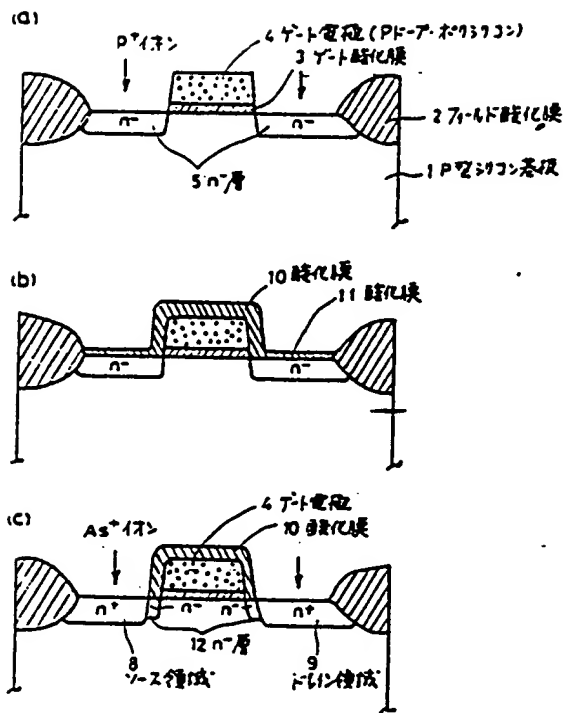
図面において、

- 1 はp型シリコン基板、
- 2 はフィールド酸化膜、
- 3 はゲート酸化膜、
- 4 はゲート電極、

- 5, 12 は n^+ 層、
- 6, 7, 10, 11 は酸化膜、
- 8 はソース領域、
- 9 はドレイン領域、
- をそれぞれ示す。

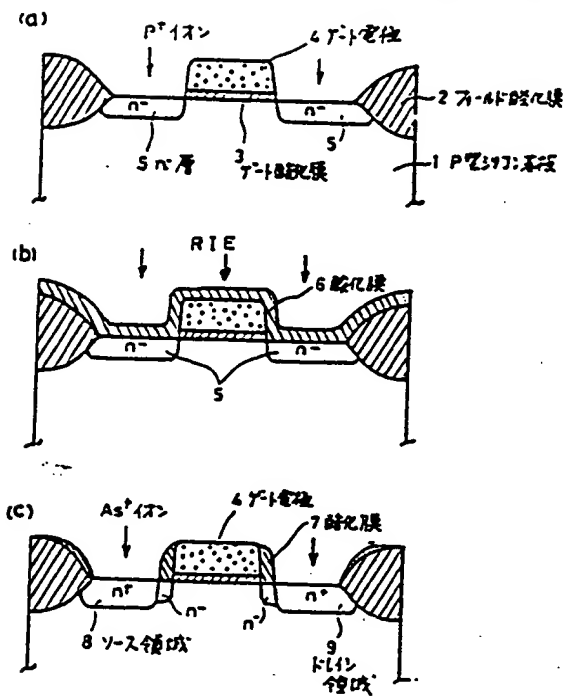
代理人 弁理士 井桁 貞一





本発明にかかるLDD構造のMOSFETの製造方法の
説明T3工程の断面図

図 1



従来の技術にかかるLDD構造のMOSFETの製造方法の
説明T3工程の断面図

図 2